


**OVERCURRENT PROTECTIVE CIRCUIT FOR INSULATED GATE TYPE BIPOLAR TRANSISTOR**

Patent Number: JP9008620  
Publication date: 1997-01-10  
Inventor(s): IGARASHI TAKASHI  
Applicant(s): FUJI ELECTRIC CO LTD  
Requested Patent:  JP9008620  
Application Number: JP19950152910 19950620  
Priority Number(s):  
IPC Classification: H03K17/08  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:** To surely protect an IGBT from an overcurrent by using a thin film coil for an overcurrent protective circuit and utilizing a voltage, which is generated at the thin film coil by a high di/dt when the overcurrent is generated, as the gate voltage of the IGBT.

**CONSTITUTION:** One terminal of a thin film coil 2 and a gate terminal 33 of an MOSFET 3 are connected to an emitter terminal 12 of an IGBT 1, and a source terminal 32 of the MOSFET 3 is connected with the other terminal of the thin film coil 2. Then, a drain terminal 31 of the MOSFET 3 is connected with a cathode terminal 42 of a usual diode 4, an anode terminal 41 of this diode 4 is connected with an anode terminal 51 of a Zener diode 5, and a cathode terminal 52 of the Zener diode 5 is connected with a gate terminal 13 of the IGBT 1.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-8620

(43) 公開日 平成9年(1997)1月10日

(51) Int.Cl.

H03K 17/08

識別記号

庁内整理番号

9184-5K

F I

H03K 17/08

技術表示箇所

2

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21) 出願番号

特願平7-152910

(22) 出願日

平成7年(1995)6月20日

(71) 出願人

000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者

五十嵐 隆

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人

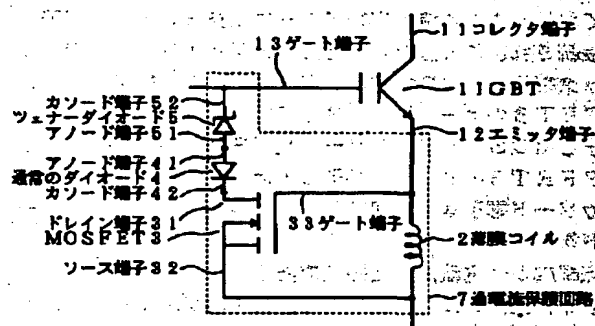
弁理士 山口 順

(54) 【発明の名称】 絶縁ゲート型バイポーラトランジスタの過電流保護回路

(57) 【要約】

【目的】 薄膜コイルを過電流保護回路に用い、過電流発生時の高い  $di/dt$  による薄膜コイルに発生する電圧を、IGBTのゲート電圧として利用することで、IGBTを過電流から確実に保護する。

【構成】 IGBT1のエミッタ端子12に薄膜コイル2の一方の端子とMOSFET3のゲート端子33とが接続し、MOSFET3のソース端子32は薄膜コイル2の他方の端子と接続し、MOSFET3のドレイン端子31は通常のダイオード4のカソード端子42と接続し、このダイオード4のアノード端子41はツェナーダイオード5のアノード端子51と接続し、ツェナーダイオード5のカソード端子52はIGBT1のゲート端子13と接続する。



## 【特許請求の範囲】

【請求項1】ツェナーダイオードのカソード端子が主回路の絶縁ゲート型バイポーラトランジスタのゲート端子と接続し、ツェナーダイオードのアノード端子がダイオードのアノード端子と接続し、ダイオードのカソード端子がMOSFETのドレイン端子と接続し、MOSFETのゲート端子と主回路の絶縁ゲート型バイポーラトランジスタのエミッタ端子と接続し、このエミッタ端子とMOSFETのソース端子とに両端がそれぞれ接続される薄膜コイルを有することを特徴とする絶縁ゲート型バイポーラトランジスタの過電流保護回路。

【請求項2】薄膜コイルが主回路の絶縁ゲート型バイポーラトランジスタのエミッタ電極と一端が接続し、かつ絶縁膜を介してエミッタ電極上に形成されることを特徴とする請求項1記載の絶縁ゲート型バイポーラトランジスタの過電流保護回路。

【請求項3】薄膜コイルのインダクタンスが10pHないし1000pHであることを特徴とする請求項1または2記載の絶縁ゲート型バイポーラトランジスタの過電流保護回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、絶縁ゲート型バイポーラトランジスタ（IGBT）に過電流が発生した場合に、その過電流を制限し、IGBTのラッチアップ破壊を防止する絶縁ゲート型バイポーラトランジスタの過電流保護回路に関する。

## 【0002】

【従来の技術】図4は従来のIGBTの過電流保護回路を示す。主回路のIGBT1は電流検出端子16を有しており、この電流検出端子16に抵抗6の一方の端子が接続され、この抵抗6の他方の端子はIGBT1のエミッタ端子12に接続する。抵抗6の一方の端子はMOSFET3のゲート端子33と接続し、抵抗6の他方の端子とMOSFET3のソース端子32と接続する。MOSFET3のドレイン端子31は通常のダイオード4のカソード端子42と接続し、このダイオード4のアノード端子41はIGBT1のゲート端子13と接続する。点線内が過電流保護回路7である。この動作を次に説明する。主回路に異常が発生し、過電流が流れると、電流検出端子16に流れる電流と、電流検出端子16と直列に接続した抵抗6とにより発生した電圧が、IGBT1のゲート・エミッタ間に配置したMOSFET3のゲート・ソース間に印加され、MOSFET3がオンし、IGBT1のゲート・エミッタ間電圧が通常のダイオード4のオン電圧とMOSFET3のオン電圧とを合わせた電圧まで低下し、IGBT1のコレクタ電流は、そのゲート・エミッタ間電圧とIGBT1の出力特性で決まる電流値に制限され、IGBT1をラッチアップ破壊から保護する。

## 【0003】

【発明が解決しようとする課題】従来のIGBTの過電流保護回路では、IGBTチップにコレクタ電流を流す主IGBTと電流検出用のセンスIGBTとを形成する。この電流検出用のセンスIGBT（このセンスIGBTのエミッタは電流検出端子16と接続する）と、主IGBT（コレクタ電流を流すIGBT）との出力特性や $V_{GE(th)}$ 特性の相関関係が、各チップで異なり、それに伴い、主IGBTとセンスIGBTとに流れる電流の比率が異なることにより、過電流保護時の制限電流にバラツキが生じる。また、保護回路を構成する抵抗の抵抗値のバラツキ（以下抵抗のバラツキという）により、センスIGBTを流れる電流によって生じる抵抗の両端電圧にバラツキが生じ、その抵抗の両端電圧がIGBTのゲート・エミッタ間のMOSFETをオンさせ、電流制限をかけるため、過電流保護時に制限電流のバラツキが生じる。

【0004】上記のように、センスIGBTと主IGBT間の特性バラツキと抵抗のバラツキにより、過電流保護時の制限電流に大きなバラツキが生じるため、過電流保護回路として精度が低いものとなっている。また精度を高めるためには、IGBTと抵抗とを個々に調整する必要がある、コストアップとなる。この発明は、前記課題を解決するために、薄膜コイルで直接主電流を検出し、前記のようなバラツキが生じない、高い精度の絶縁ゲート型バイポーラトランジスタの過電流保護回路を提供することを目的とする。

## 【0005】

【課題を解決するための手段】前記目的を達成するために、ツェナーダイオードのカソード端子が主回路の絶縁ゲート型バイポーラトランジスタのゲート端子と接続し、ツェナーダイオードのアノード端子がダイオードのアノード端子と接続し、ダイオードのカソード端子がMOSFETのドレイン端子と接続し、MOSFETのゲート端子と主回路の絶縁ゲート型バイポーラトランジスタのエミッタ端子と接続し、このエミッタ端子とMOSFETのソース端子間に薄膜コイルを接続する。

【0006】また主回路の絶縁ゲート型バイポーラトランジスタのエミッタ電極と一端が接続し、かつ絶縁膜を介してエミッタ電極上に薄膜コイルを形成するとよい。この薄膜コイルのインダクタンスが10pHないし1000pHであるとよいが、さらに望ましくは10pHないし100pHであるとよい。

## 【0007】

【作用】IGBTに流れる主電流（コレクタ電流）は、電流値が大きくなると主電流の変化（ $di/dt$ ）も大きくなる。従って、主回路のIGBTのエミッタ端子に薄膜コイルを接続することで、主電流の変化（ $di/dt$ ）を薄膜コイルのインダクタンス $L$ で電圧（ $L \times di/dt$ ）に変換して検出すると、主電流が過大になる

と、この電圧も大きくなり、この電圧で過電流保護回路のMOSFETのゲートを制御することで、確実にIGBTの主電流を抑制する。また従来のような各素子間での主電流の検出ばらつきは、この保護回路では生じない。

【0008】また薄膜コイルをIGBTと同一半導体基板上に形成し、この薄膜コイルとIGBTのコレクタ端子とを半導体基板上で配線することで、配線インダクタンスのバラツキを極めて小さくでき、結果として高精度の過電流保護回路となる。

【0009】

【実施例】図1は一実施例のIGBTの過電流保護回路を示す。主回路のIGBT1はコレクタ端子11、エミッタ端子12およびゲート端子13を有し、エミッタ端子12に薄膜コイル2の一方の端子が接続し、この薄膜コイル2の一方の端子はMOSFET3のゲート端子33とも接続し、MOSFET3のソース端子32は薄膜コイル2の他方の端子と接続する。MOSFET3のドレイン端子31は通常のダイオード4のカソード端子42と接続し、このダイオード4のアノード端子41はツェナーダイオード5のアノード端子51と接続し、ツェナーダイオード5のカソード端子52はIGBT1のゲート端子13と接続する。点線内が過電流保護回路7である。

【0010】図2は薄膜コイルをIGBT上に形成した図で、同図(a)は平面図、同図(b)は同図(a)のX-X線切断部の断面図を示す。同図(a)において、IGBT1のゲートパッド15、エミッタ電極14および薄膜コイル2が示されている。IGBT1のエミッタ電極14上に絶縁膜を介して薄膜コイル2を形成し、薄膜コイル2の一端は接続部21でエミッタ電極14と接続し、他端はコレクタ電流が流れ出す主端子(図示されていない)へ接続する。薄膜コイル2の両側からは図示されていないコイル補助端子が出ている。このコイル補助端子が外部の保護回路のMOSFETのゲート端子およびソース端子と接続される。同図(b)において、半導体基板上にIGBT1が形成され、エミッタ電極14上に絶縁膜22を選択的に形成し、この絶縁膜22上に薄膜コイル2を形成し、薄膜コイル2の一端がエミッタ電極14と接続部21で接続される。他端はコレクタ電流が流れ出す主端子(図示されていない)と接続する。

【0011】図3は電圧共振回路にIGBTを適用した場合の動作波形図で、同図(a)はIGBTのコレクタ電流波形図、同図(b)は薄膜コイルのコイル電圧波形図、同図(c)はIGBTのゲート電圧波形図を示す。同図(a)において、コレクタ電流が増大するとコレクタ電流の電流の変化(電流上昇率:  $di/dt$ )が大きくなる。同図(b)において、薄膜コイルに発生するコイル電圧は電流値が小さい段階では小さく、電流値が大きくなると、つまり過電流になると、この電圧は大きく

なる。この電圧がMOSFETのゲートしきい値電圧( $V_{GS(th)}$ )を越えるとMOSFETはオンする。同図(c)において、IGBTのゲート電圧はMOSFETがオンするまではゲート駆動電源から与えられる高いゲート電圧を維持し、MOSFETがオンした時点でツェナーダイオードのツェナー電圧、通常のダイオードのオン電圧およびMOSFETのオン電圧とを加えた電圧まで低下する。

【0012】この低下した電圧がゲート電圧となりIGBTのコレクタ電流を出力特性で決まるコレクタ電流まで減少させる。このようにして過電流は制限され、過電流制限レベルをIGBTのラッチアップレベル以下にすることにより、IGBTは過電流によるラッチアップ破壊から保護される。前記の $di/dt$ は数十〜数千A/ $\mu s$ であり、一方、MOSFETのゲート駆動電圧は数Vから十数Vであるため、薄膜コイル4の必要とするインダクタンスは10〜1000pHとなる。しかし、殆どの場合 $di/dt$ は100A/ $\mu s$ 以上で、しかも薄膜コイルのインダクタンスを増大させることは製造上困難を伴うので、実用的なインダクタンスとしては10〜100pHである。

【0013】

【発明の効果】この発明によれば、薄膜コイルを過電流保護回路に用い、過電流発生時の高い $di/dt$ による薄膜コイルに発生する電圧を、ゲート電圧として利用することで、バラツキの少ないゲート電圧をMOSFETに与えることができ、確実にMOSFETをオンさせ、IGBTのゲート電圧をバラツキなく所定の値に低下させ、過電流を所定の値に制限し、IGBTを過電流から確実に保護することができる。

【図面の簡単な説明】

【図1】この発明の一実施例で、IGBTの過電流保護回路図

【図2】薄膜コイルを半導体基板上に形成した図で(a)は平面図、(b)は(a)のX-X線切断部の断面図

【図3】電圧共振回路にIGBTを適用した場合の動作波形図で、(a)はIGBTのコレクタ電流波形図、(b)は薄膜コイルの電圧波形図、(c)はIGBTのゲート電圧波形図

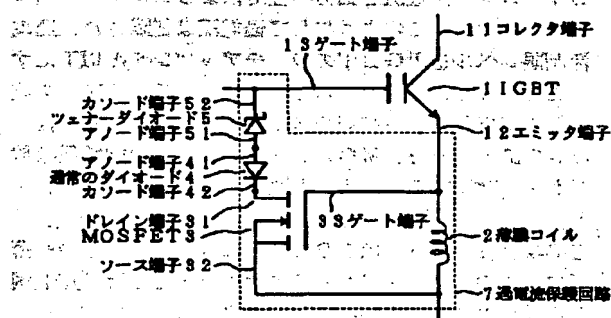
【図4】従来のIGBTの過電流保護回路図

【符号の説明】

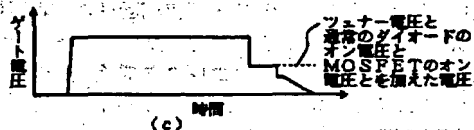
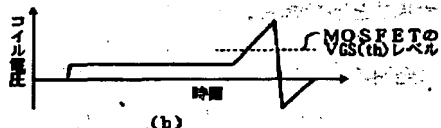
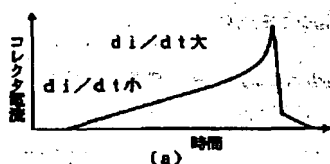
- 1 IGBT
- 11 コレクタ端子
- 12 エミッタ端子
- 13 ゲート端子
- 14 エミッタ電極
- 15 ゲートパッド
- 16 電流検出端子
- 2 薄膜コイル
- 21 接続部

- 22 絶縁膜  
3 MOSFET  
31 ソース端子  
32 ドレイン端子  
33 ゲート端子  
4 通常のダイオード  
41 アノード端子  
42 カソード端子

【図1】

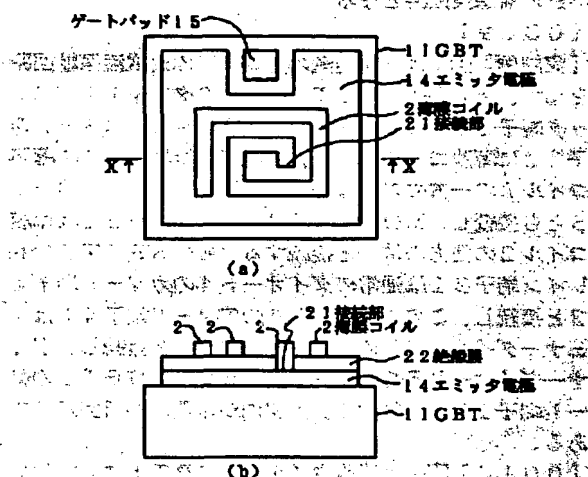


【図3】



- 42 カソード端子  
5 ツェナーダイオード  
51 アノード端子  
52 カソード端子  
6 抵抗  
7 過電流保護回路

【図2】



【図4】

